

## Liquid crystal display with high capacitance pixel

Patent number: JP10503032T

Publication date: 1998-03-17

Inventor:

Applicant:

Classification:

- International: G02F1/136; G02F1/1362; G02F1/1368; G02F1/1368;  
G02F1/13; (IPC1-7): G02F1/136

- european: G02F1/1362C

Application number: JP19950505139T 19950720

Priority number(s): WO1995US08785 19950720; US19940277824  
19940720

Also published as:

WO9602866 (A1)  
EP0803078 (A1)  
US6078364 (A1)  
US5483366 (A1)  
EP0803078 (A4)

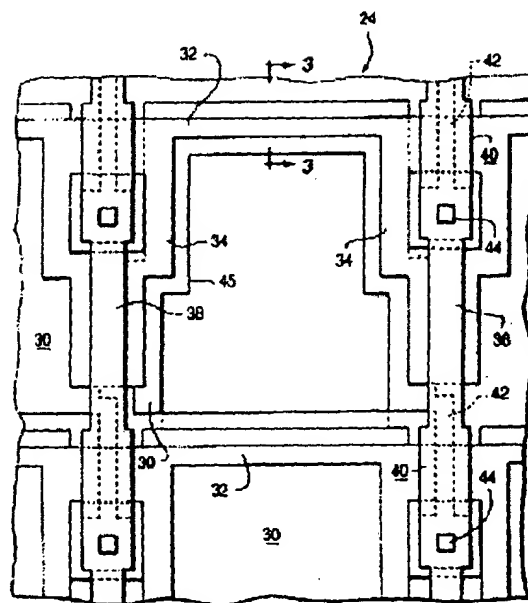
more >>

[Report a data error here](#)

Abstract not available for JP10503032T

Abstract of correspondent: **US6078364**

A liquid crystal display includes a base plate having a plurality of pixels on a surface thereof with the pixels arranged in an array of spaced rows and columns. Each of the pixels includes a substantially rectangular region of polycrystalline silicon. A separate select line of polycrystalline silicon extends over and across the polycrystalline silicon regions of each row of pixels adjacent one side of the polycrystalline silicon region. The select lines has two extensions extending over and along two opposite sides of each polycrystalline silicon region. A layer of a dielectric material extends between the polycrystalline silicon regions and the first lines and the extensions of the first lines. Each of the first lines and its extensions forms a capacitor with the respective polycrystalline silicon region of each pixel. Data lines extend along the rows of the pixels and are electrically connected to each polycrystalline silicon region in its respective column of pixels.



(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平10-503032

(43) 公表日 平成10年(1998) 3月17日

(51) Int.Cl.<sup>8</sup>

G 0 2 F 1/136

識別記号

5 0 0

庁内整理番号

7709-2K

F I

G 0 2 F 1/136

5 0 0

審査請求 未請求 予備審査請求 有 (全 18 頁)

(21) 出願番号 特願平8-505139  
(86) (22) 出願日 平成7年(1995) 7月20日  
(85) 翻訳文提出日 平成9年(1997) 1月20日  
(86) 国際出願番号 PCT/US95/08785  
(87) 国際公開番号 WO96/02866  
(87) 国際公開日 平成8年(1996) 2月1日  
(31) 優先権主張番号 08/277, 824  
(32) 優先日 1994年7月20日  
(33) 優先権主張国 米国 (US)  
(81) 指定国 EP(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, M C, NL, PT, SE), CA, JP, KR, MX

(71) 出願人 デイヴィッド サーフ リサーチ センター, インコーポレイテッド  
アメリカ合衆国 ニュー ジャージー州  
プリンストン シーエヌ5300 ワシントン  
ロード 201  
(72) 発明者 アサートン, ジェイムズ, エイチ.  
アメリカ合衆国 ニュー ジャージー州  
リンゴーズ エヴァリッツ ロード 45  
(74) 代理人 弁理士 長谷川 芳樹 (外4名)

(54) 【発明の名称】 高静電容量画素を有する液晶ディスプレイ

(57) 【要約】

液晶ディスプレイは、多数の画素をその表面に有する基板(26)を含み、画素は間隔をおいた行列にきちんと配列されている。それぞれの画素は、多結晶シリコンのほぼ矩形の領域(30)を含む。単独の多結晶シリコンのセレクトライン(32)は、多結晶シリコン領域の一つの辺に隣接してそれぞれの画素の行の多結晶シリコン領域上を横切って広がっている。セレクトラインは、多結晶シリコン領域(30)それぞれの2つの対向する辺に沿って広がる2つの拡張部(34)を有する。誘電性材料層(36)は、多結晶シリコン領域とセレクトライン(32)とセレクトラインの拡張部(34)の間に広がっている。セレクトライン(32)のそれぞれと、その拡張部(34)は、対応するそれぞれの画素の多結晶シリコン領域と共にコンデンサを形成する。データライン(38)は、画素の行に沿って広がり、その対応する画素列にあるそれぞれの多結晶シリコン領域(30)と電氣的に接続(44)されている。

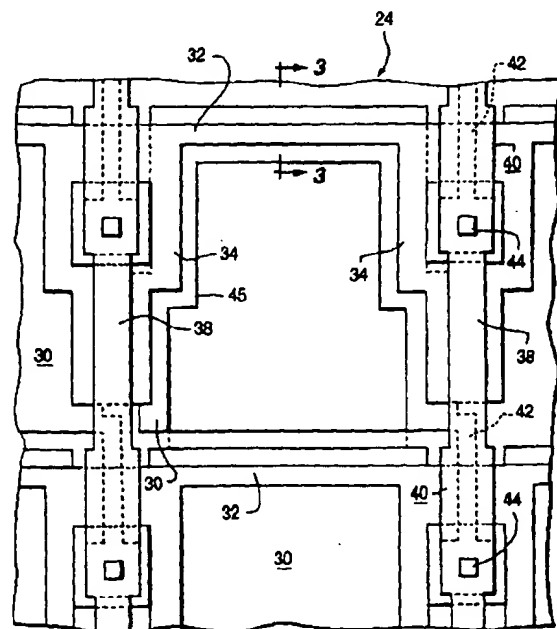


FIG. 2

**【特許請求の範囲】****1. 表面を有する基板と、**

前記基板の前記表面上の少なくとも一つの画素であって、複数の辺を有する導電性材料の領域を含んでいる前記画素と、

前記領域の一方の辺に隣接し前記領域を横切って広がる導電性の第1のラインと、

前記第1のラインから伸びて、前記領域の他の一边を横切って広がる少なくとも一つの導電性拡張部と、

前記領域と前記第1のラインとその拡張部との間の誘電性材料からなる層と、を有しており、

前記第1のラインと拡張部が前記領域と共に前記領域に電氣的に接続されたコンデンサを形成している液晶ディスプレイ。

2. 前記第1のラインは、そこから前記領域の異なる辺に沿って広がっている2つの導電性拡張部を有しており、前記誘電性層は前記ラインと双方の拡張部と前記領域の間にある請求項1のディスプレイ。

3. 前記領域の一つの辺に沿って広がり、前記領域と電氣的に接続された導電性材料の第2のラインを含む請求項2のディスプレイ。

4. 前記第2のラインは、前記第1のラインの拡張部のひとつと同じ前記領域の一边に沿って広がっている請求項3のディスプレイ。

5. 前記第2のラインと前記領域を接続するMOSトランジスタを含む請求項4のディスプレイ。

6. 前記領域と前記第1のラインと前記第1のラインの前記拡張部は多結晶性シリコンからなる請求項5のディスプレイ。

7. 前記導電性領域はほぼ矩形であって、前記第1のラインは前記領域の一方の辺に隣接して前記領域に沿って広がっており、前記第1のラインの前記拡張部は前記第1のラインから前記領域の対向する2辺に隣接して前記領域に沿って広がっており、前記第1のラインと前記拡張部の間の前記領域部分が画素の有効領域である請求項6のディスプレイ。

8. 前記多結晶性シリコン領域上に絶縁されて前記多結晶性シリコン領域と電

氣的に接続されたインジウム酸化すずのほぼ矩形の領域であって、前記画素の前記有効領域を形成している前記インジウム酸化すず領域を有しており、

前記インジウム酸化すず領域は、少なくとも前記第1及び第2のラインまで広がっており、さらに前記第2のライン上と隣接する前記インジウム酸化すず領域部分の下にある金属シールドを有しており、前記金属シールド層は、前記第2のライン及び前記インジウム酸化すず領域から絶縁されている請求項6のディスプレイ。

9. 前記基板の前記表面上で間隔をおいた行と列に配列された多数の画素を含んでおり、前記画素のそれぞれが複数の辺を有する導電性材質の領域を含んでいる請求項1のディスプレイ。

## 【発明の詳細な説明】

## 高静電容量画素を有する液晶ディスプレイ

## 技術分野

本発明は、液晶ディスプレイ（LCD）、特に、高静電容量画素を有するLCDに関する。

## 背景技術

LCDは、一般に、一対の間隔をおいて平行に置かれたプレート、一般にはガラス、でそれぞれ他のプレートと面する側の表面に導電性材料の電極を有するプレートとこれら電極の間の液晶材料からなる。一方のプレート、一般には後ろのプレート、上の電極は、多数の個々に間隔をおいて置かれた領域に分割されており、この領域は、多数の一定間隔で平行な行と列に沿って配列されている。この電極の各領域は、ディスプレイの画素を形成する。画素領域の隣接する列のそれぞれの対の間には、データライン(data line)を形成し、隣接する列にある画素領域のそれぞれと電氣的に接続される導電性ラインがある。画素領域の隣接する行のそれぞれの対の間には、セレクトライン(select line)を形成し、隣接する行にある画素領域のそれぞれと電氣的に接続される導電性ラインがある。一般に、それぞれのデータラインは、それぞれの画素領域にMOSトランジスタを介して電氣的に接続されており、それぞれのセレクトラインは、それぞれの画素領域にコンデンサを介して電氣的に接続されている。

図1には、従来技術のLCD10の1つの画素の平面図が示されている。このLCD10は、絶縁材料、例えばガラス、の基板12を有し、その表面には、導電性材料、例えば多結晶性シリコン、の領域14を有している。領域14は、LCD10の1つの画素を形成する。LCD10は、間隔をおいて行列にきちんと整列されたたくさんの画素領域14を含むことは明白である。画素領域14は、図示されるようにほぼ矩形である。画素領域14の上部を横切って広がるのは、導電性材料か、例えば多結晶性シリコン、のセレクトライン16である。このセレクトライン16は、誘電性材料（図示されていない）、例えば酸化シリコン、

好ましくは二酸化シリコンあるいは窒化シリコン、の層によって画素領域14か

ら絶縁されている。画素領域14の一辺に沿って広がるのは、良好な導電性材料、例えば金属、のデータライン18である。

データライン18は、画素領域14とMOSトランジスタ20によって電氣的に接続されている。MOSトランジスタ20は、画素領域14から次の隣接する画素領域14'の多結晶性シリコンのセレクトライン16'を横切って伸びている多結晶性シリコンの細長い小片(strip)22によって形成されている。このセレクトライン16'は、絶縁性材料(図示されていない)、例えば酸化シリコン、好ましくは二酸化シリコン、によって小片22から電氣的に絶縁されている。従って、セレクトライン16'は、MOSトランジスタ20のゲート電極として機能する。データライン18は、画素領域14から離れたセレクトライン16'の側で小片22に電氣的に接続されている。従って、セレクトライン16'の対向する辺の小片22部分は、MOSトランジスタ20のソース及びドレイン電極として機能する。

画素領域14を横切り、この画素領域14から誘電性材料によって区切られているセレクトライン16部分は、この画素領域14とともに、コンデンサを形成する。このコンデンサは、漏洩電流や充電ノイズの存在下で画素の電圧を安定させるよう機能する。より進んだ安定化処理を行うためには、可能な限り大型のコンデンサを用いることが望ましい。静電容量を増加させる一つの手段は、セレクトライン16のサイズを画素領域14の大部分を覆うほど増やすことである。しかしながら、これは、画素領域14の大部分を塞いで、その結果、画素領域14の有効領域が減少し、画素の開口サイズが減少する。画素領域14をその有効領域を減少させることなく静電容量を増加させることができるように大きくした場合、ディスプレイ全体の面積が大きくなってしまう。それ故に、画素の有効領域と開口サイズの減少やディスプレイ全体のサイズの増加を招くことなくセレクトラインと画素領域の間のコンデンサの静電容量を増加させることができることが望ましい。

#### 発明の開示

本発明は、表面を有する基板を含むLCDである。基板のこの表面上に少なく

とも1つの画素があり、この画素は、複数の辺を持つ導電性材料の領域を有する。導電性の第1のラインは、領域の一辺に隣接して、領域を横切って広がる。第1のラインはそこから伸びて、領域の他の辺を横切って広がる少なくとも1つの拡張部を有する。誘電性材料層は、この領域と第1のラインと拡張部の間にあり、この領域と第1のラインと拡張部の間にコンデンサを形成させるよう広がっている。

本発明は又、表面を有する基板を含むLCDである。多数の画素が基板のこの表面上に存在し、間隔をおいて行列にきちんと配列されている。画素のそれぞれは、複数の辺を持つ導電性材料の領域を含んでいる。単独の導電性の第1のラインは、それぞれの画素の行の導電性領域のそれぞれの一方の辺に沿って広がっている。この第1のラインはそれを介して各々の画素の行のそれぞれの導電性領域の別の辺に沿って広がる少なくとも一つの拡張部を有する。誘電性材料層は導電性領域と第1のライン及び第1のラインの拡張部の間に広がっている。第1のラインのそれぞれとその拡張部は、その各々の画素行の導電性領域のそれぞれとコンデンサを形成する。

#### 図面の簡単な説明

図面において、

図1は、従来技術のLCDの画素ひとつの平面図であり、

図2は、本発明にかかるLCDの画素の配列の1実施形態の平面図であり、

図3は、図2の3-3線断面図であり、

図4は、本発明にかかるLCDの画素の別の実施形態の配列の平面図であり、

図5は、図4の5-5線断面図であり、

図6は、図4に示す配列の変形部分の平面図であり、

図7は、図6の7-7線断面図である。

#### 発明を実施するための最良の形態

図2は、本発明にかかるLCD24部分の平面図を示している。LCD24は、その表面28上に多数の導電性材料、例えば多結晶性シリコン、の層からなるほぼ矩形の領域30を有する絶縁材料、例えばガラス、の基板26を含む。導電性

領域30のそれぞれはLCD24の画素1つを形成するので、以下画素領域と呼ばれる。この画素領域30は、間隔をおいて平行に設けられた行と列にきちんと配列されている。導電性材料、例えば多結晶性シリコン、の単独のセレクトライン32は、画素領域30が配列されたそれぞれの行のそれぞれの画素領域30の上部を横切って伸びている。セレクトライン32は、画素領域30のそれぞれの片側に沿って伸びている拡張部34を有する。これらのセレクトライン32の拡張部34は、同一の大きさ、形状をしている。図3に示されるように、セレクトライン32は、拡張部34を含み、画素領域30から誘電性材料、例えば酸化シリコン、好ましくは二酸化シリコン、の層36によって隔てられている。従って、拡張部34、画素領域30と誘電性層36を含むセレクトライン32は、セレクトライン32と画素領域がコンデンサのプレートをなしてコンデンサを形成している。

データライン38は、画素領域30の列のそれぞれに沿って画素領域30の列の間の隙間に広がっている。データライン38は、導電性材料、例えば金属、の細長い小片である。データライン38のそれぞれは、隣接する列の画素領域30のそれぞれとMOSトランジスタ40によって電氣的に接続されている。それぞれのMOSトランジスタ40は、画素領域30のそれぞれから伸びる多結晶性シリコンの細長い小片42を含む。それぞれのセレクトライン32は、画素領域30が配列された次の隣接する行にある画素領域30から伸びている小片42を横切って広がる。セレクトライン32は、誘電性層36によって小片42から絶縁されて、MOSトランジスタ40のゲート電極を形成している。データライン38は、小片42とこの小片42が接続された画素領域30から離れたセレクトライン32側で電氣的に接触するように誘電性層36の開口部を貫通する接続部44を有する。従って、データライン38は、MOSトランジスタ40を介して画素領域30に電氣的に接続されている。セレクトライン32の対向する辺の小片42部分は、このMOSトランジスタ40のソース及びドレイン電極を形成する。

。 黒色マトリックス材料層は、図示していないが、LCD24を通して見られるときにセレクトライン32及びデータライン38を隠すためにこれらを覆ってコ



ートされ得る。この黒色マトリックス材料層は、有効画素領域が現れるように、実線45で示されているような画素領域30に対応する開口部を有する。

本発明のLCD24においては、画素領域30の上部に沿って広がるセレクトライン32を有することと同様に、画素領域30の側部に沿って広がるセレクトライン32の拡張部34を有することにより、セレクトライン32と画素領域30の間に形成されるコンデンサの静電容量を実質的に約3倍に増加させる。例えば、1画素のサイズが $37\mu\text{m}$ で、図1の従来技術のディスプレイに示されるような画素領域の上部のみを横切って伸びるセレクトラインを有するディスプレイでは、コンデンサ領域は約 $66\mu\text{m}$ 四方になる。しかしながら、同じ大きさの画素領域を有し、図2に示される本発明のディスプレイのように画素領域の上部を横切ると同様に画素領域の側部に沿って広がるセレクトラインのあるディスプレイでは、コンデンサ領域は $201\mu\text{m}$ 四方になる。しかしながら、たとえ静電容量が実質的に増加したとしても、画素の開口はほとんど変化していない。図1の従来技術のディスプレイで示される画素の開口は、約52%で、図2に示される本発明のディスプレイの画素の開口は約48%である。

本発明のLCD24のもう一つの利点は、セレクトラインと画素領域の間のコンデンサの静電容量の変動を引き起こすことなく簡単に製作できることである。画素領域、セレクトライン及びデータラインを構成する様々な領域は、基板に適当な材料からなる層を堆積させ、標準的な写真製版技術によってこの層の境界を画定して、その層を領域、細長い小片などに形作るためにエッチングすることによって形成される。写真製版技術は、領域や小片の位置を定義するためのマスクを使用する。このマスクが完璧に位置合わせされていないと、領域や小片の位置が変わってしまう。従って、画素領域と拡張部を含むセレクトラインのいずれかまたは両方を形成するのに用いられるマスクが厳密に位置合わせされていない場合、セレクトラインの拡張部と画素領域が重なる部分は異なってくる。しかしながら、画素領域の一方の側の拡張部との重なりが変化して、例えば小さくなったような場合、画素領域の他方の側の拡張部との重なりもまた、逆方向に変化して、例えば大きくなる。従って、全体の重なり部分が、従って静電容量も、同じま

まになるように変化は互いに相殺される。その結果、画素領域又は／及びセレクトライン形成に用いられるマスクのわずかな調整不良は、セレクトラインと画素領域間の静電容量の変動を引き起こさない。

ここで、図4を参照し、本発明のLCDの別の実施形態を46として概略図示

する。ディスプレイ46は、導電性材料、例えば多結晶性シリコン、からなる多数の領域52をその表面50上に有する絶縁材料、例えばガラス、からなる基板48を含む。導電性領域52は、画素部分を形成し、多数の間隔をおいた行列に配列されている。導電性領域52のそれぞれは、上部53と上部53から伸びて間隔をおいて平行になった1対の脚部55を有するほぼU字形をしている。接点拡張部57は、脚部55の間のそれぞれの上部53から伸びている。導電性材料、例えば多結晶性シリコン、からなる単独のセレクトライン54は、単独の行中のそれぞれの導電性領域52の上部53を横切って伸びている。図5に示されるように、セレクトライン54は、誘電性材料、例えば酸化シリコン、好ましくは二酸化シリコン、あるいは窒化シリコン、の層56によって導電性領域52から絶縁されている。セレクトライン54は、それぞれの導電性領域52のそれぞれの脚部55に沿って広がる拡張部58を有する。拡張部58もまた、誘電性層56によって導電性領域52から絶縁されている。従って、セレクトライン54とその拡張部58は、導電性領域52とコンデンサを形成している。

導電性材料、例えば金属、からなる細長い接点小片60は、それぞれの導電性領域52の上部53を横切って伸び、接点拡張部57まで広がっている。図5に示されるように、接点小片60は、絶縁性材料、例えばシリコン酸化物、好ましくは二酸化シリコン、の層62によってセレクトライン54から絶縁されている。接点小片60は、接点拡張部57との電氣的接点を構成するように誘電性層56と絶縁層62の開口部64、65を貫通している。導電性材料、例えばインジウム酸化すず（ITO）、の領域66は、それぞれの導電性領域52部分とU字形の導電性領域52の内側の領域に広がっている。ITO領域66は、導電性領域52のように、間隔をおいた行列に配列されており、ディスプレイ46の画素の有効部を形成している。図5に示されるように、このITO領域66は、絶縁

材料、例えば酸化シリコン、好ましくは二酸化シリコン、の層68によって接点細小片60から絶縁されている。それぞれのITO領域66は、絶縁層68の開口部70を貫通しており、それぞれに対応する接点小片60と電氣的接点を構成している。従って、ITO画素領域66のそれぞれは、接点小片60を介して導電性領域52と電氣的に接続されている。

導電性材料、例えば金属、のデータライン72は、画素領域66の列の間を画素領域66の側部に沿って伸びている。それぞれのデータライン72は、単独のMOSトランジスタ74を介して隣接する列の多結晶性シリコン領域52のそれぞれと電氣的に接続されている。それぞれのMOSトランジスタ74は、独立した多結晶性シリコン領域52のひとつから伸びている多結晶性シリコンの細長い小片76によって形成されている。セレクトライン54は、小片76のそれぞれを横切って伸びており、MOSトランジスタ74のゲート電極を形成するために、絶縁層56によってそれらから絶縁されている。セレクトライン54のそれぞれの側にある小片76部分はMOSトランジスタ74のソース及びドレイン電極を形成する。データライン72は、絶縁層56と62によって小片76とセレクトライン54から絶縁される。データライン72は、小片76が接続されている多結晶性シリコン領域76から離れたセレクトライン54の一辺上の小片76との電氣的な接点を構成するため絶縁層56と62の開口部78を貫通している。

それぞれのITO領域66は、それぞれのITO領域66のそれぞれの辺が、データライン72の直上まで広がっており、わずかに重なり合っている。それぞれのITO領域66はまた、それに対応するセレクトライン54とも重なり合っている。ITO領域66がデータライン72及びセレクトライン53の直上まで広がり、又は／及び重なり合っていることにより、ITO領域66は、LCD46の液晶材料をデータライン72及びセレクトライン52によって生成されるフィールド(field)から電氣的にシールドする。このような電氣的シールドは、回位構成を最小にして、小さい画素のコントラスト比を向上させることになる。黑色マトリックス材料層で少なくとも各ITO領域66を露出させて残してセレクトライン54、データライン72と多結晶性シリコン領域52を覆うこと

ができる。黒色マトリックス層は、ITO領域66上に開口を有する単一層としてもよいし、データライン72とセレクトライン54と多結晶性シリコン領域52上に広がる細長い小片であってもよい。ディスプレイ46においては、多結晶性シリコン領域52と拡張部58を横切って広がるセレクトライン54部分は、多結晶性シリコン領域52と共にコンデンサを形成する。ディスプレイ46は、図1に示されるようなセレクトライン54が拡張部を有しないディスプレイの3倍以上の静電容量を有する。静電容量は大いに増加したが、ディスプレイの動作領域は、同一画素サイズに対して、ディスプレイ46の開口が51%で、図1に示さ

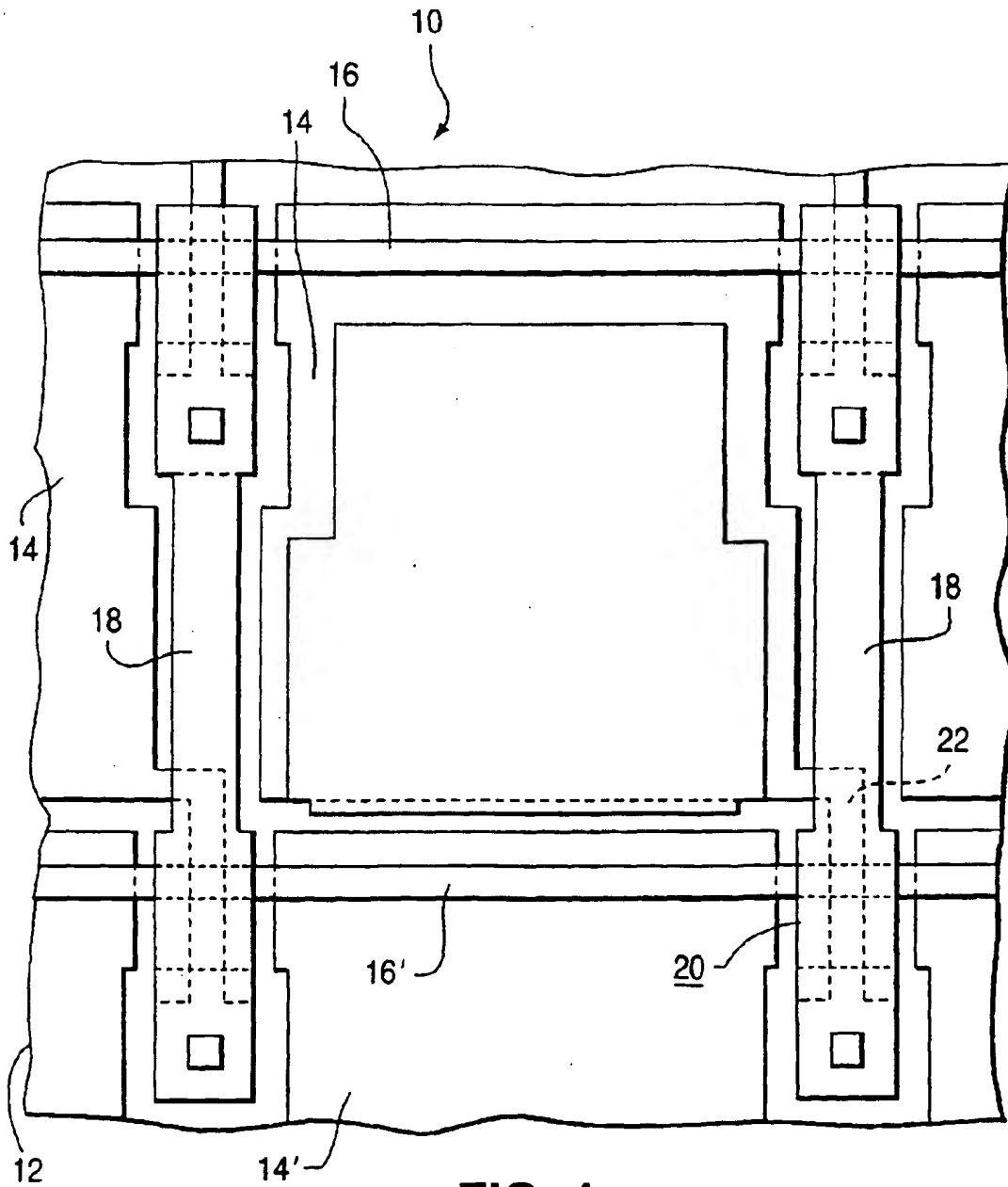
れるディスプレイ10の開口が52%とほとんど減少していない。

図6と図7は、図4に示されるLCD46の変形例の平面図と断面図をそれぞれ示している。図4のLCD46においては、ITO領域66は、迷走フィールドから液晶材料をシールドするようにデータライン72の直上まで広がるかわずかに重なり合っている。しかしながら、これはまたデータライン72とITO領域66の間に強力な静電結合を引き起こす。この静電結合を除去するため、図6に示されるように金属シールド層80がデータライン72の上で隣接するITO領域66部分の下に配置される。このシールド層80は、図7に示されるように、絶縁層、例えば酸化シリコン、好ましくは二酸化シリコン、の層82によってデータライン72から絶縁されている。シールド層80は、図7に示されるように、絶縁材料、例えば酸化シリコン、好ましくは二酸化シリコン、の層84によってITO領域66から絶縁されている。シールド層80は、セレクトライン72とITO領域66の静電結合を防ぐだけでなく、黒色マトリックス層としても機能する。従って、黒色マトリックス層を追加する必要はない。

このように、本発明のLCDでは、各画素を接続するコンデンサの静電容量が増加して、ディスプレイの安定性を増すことができる。静電容量増加にもかかわらず、画素列の間の使われていない領域を利用して静電容量を増加させたためディスプレイの有効面積はほとんど減少していない。さらに、セレクトラインへの拡張部は、セレクトラインを形成する多結晶性シリコンの製作と同じ工程中に形

成されるので、静電容量の増加は、ディスプレイの製作に必要な工程の数を増やすことなく達成されている。

【図1】



**FIG. 1**  
**PRIOR ART**

【図2】

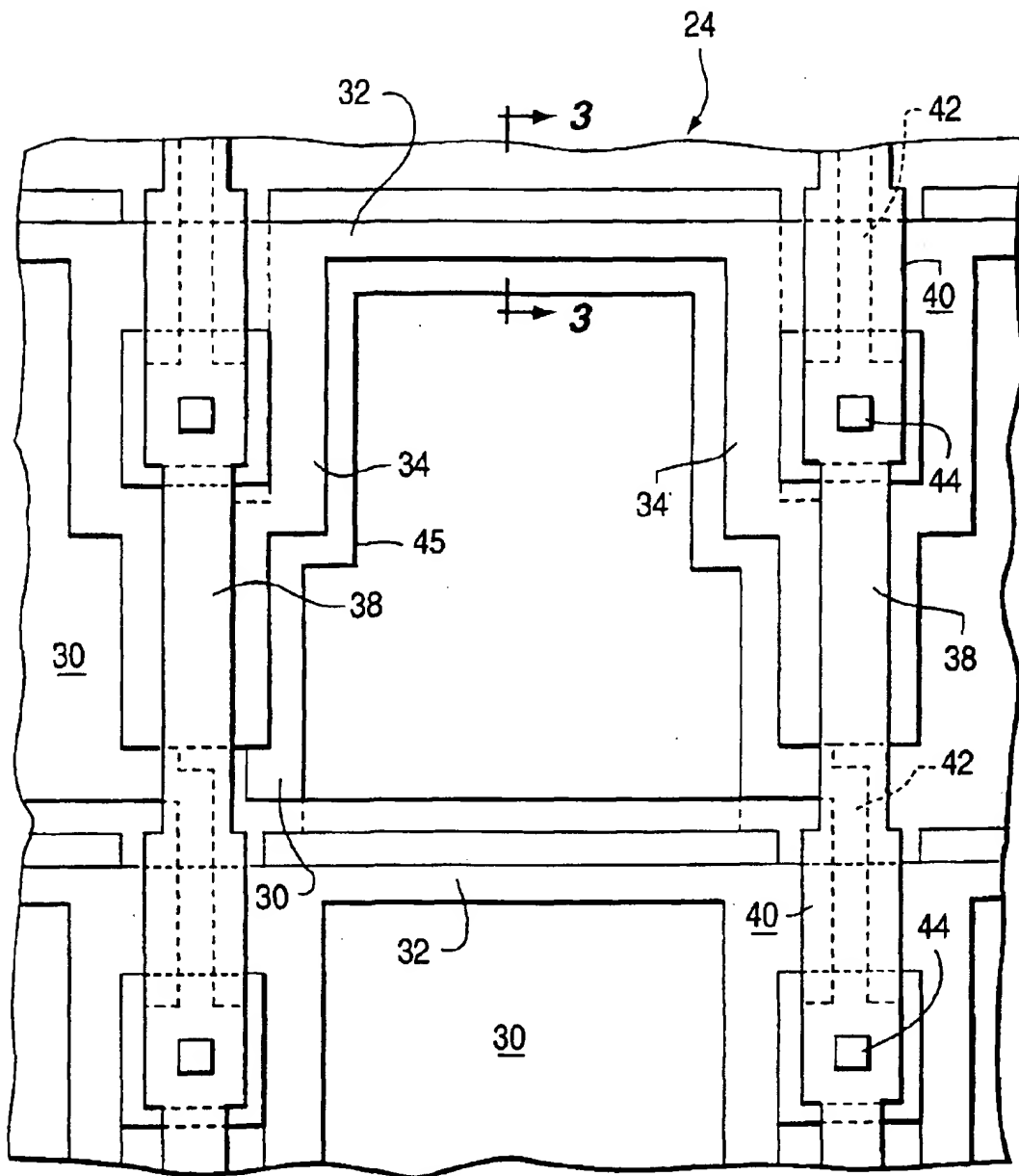
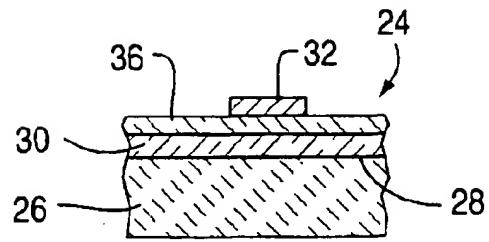


FIG. 2

【図 3】



**FIG. 3**

【図4】

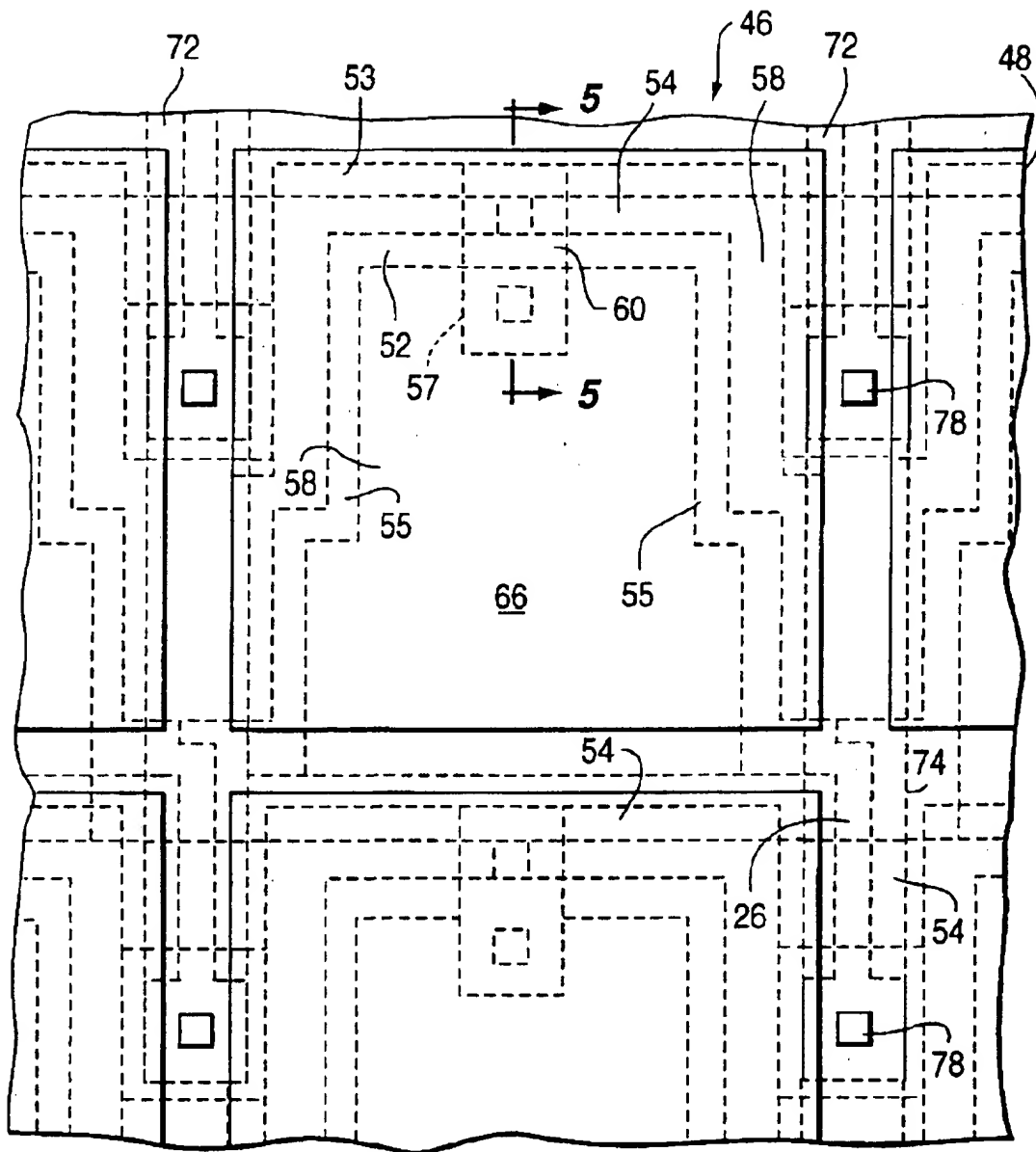
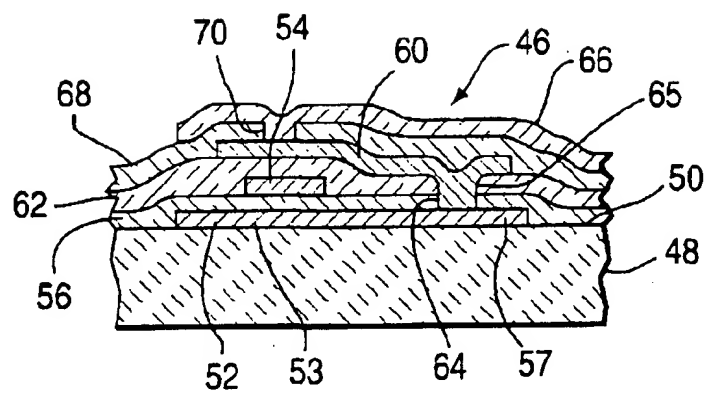


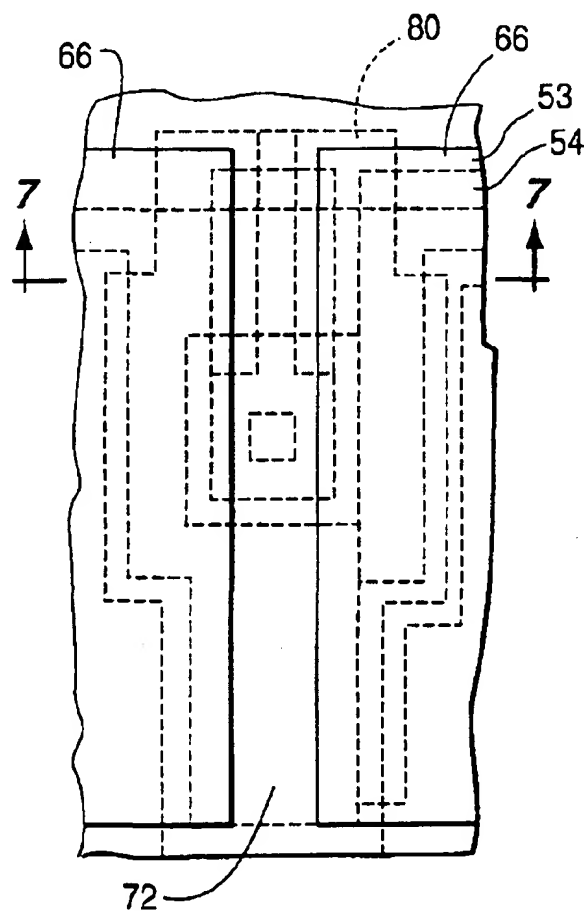
FIG. 4



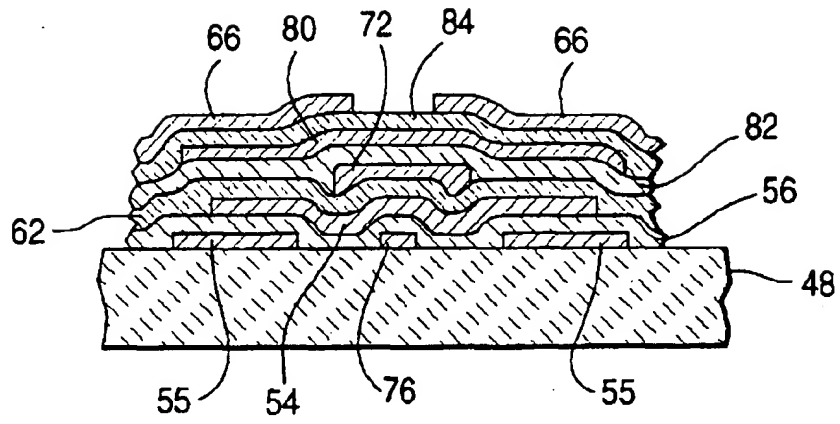
【図5】

**FIG. 5**

【図6】

**FIG. 6**

【図7】

**FIG. 7**

## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/US95/08785

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC(6) : G02F 1/1343 US CL : 359/59, 87 According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) U.S. : 359/59, 87 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) APS search terms: gate line, select line, extension, capacitance, capacitor, liquid crystal		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, A, 4-264529 (TANIGUCHI ET AL) 21 September 1992, abstract and figure 9.	1-5, 9
-----		-----
Y		6-8
Y	US, A, 5,159,477 (SHIMADA ET AL) 27 October 1992, col. 2, line 43, through col. 3, line 11.	6-8
A	US, A, 5,055,899 (WAKAI ET AL) 08 October 1991, see figure 3.	1-9
A	US, A, 5,054,887 (KATO ET AL) 08 October 1991, see entire document.	1-9
A	US, A, 4,968,119 (STEWART) 06 November 1990, see the entire document.	1-9
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" documents defining the general state of the art which is not considered to be of particular relevance "E" earlier documents published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family		
Date of the actual completion of the international search 07 SEPTEMBER 1995		Date of mailing of the international search report 15 SEP 1995
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-7725		Authorized officer WALTER J. MALINOWSKI <i>W. J. Malinowski</i> Telephone No. (703) 305-6531